

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002131399 A

(43) Date of publication of application: 09.05.02

(51) Int. Cl

G01R 31/3183

G01R 31/28

H01L 27/04

H01L 21/822

(21) Application number: 2000327598

(71) Applicant: NEC MICROSYSTEMS LTD

(22) Date of filing: 26.10.00

(72) Inventor: FUDA TOMOTSUGU

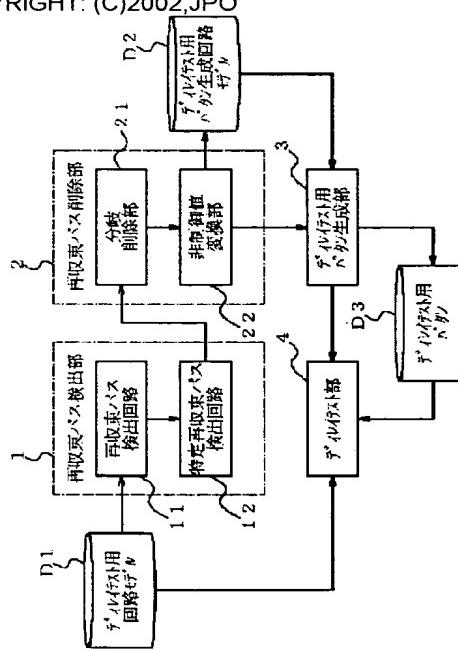
(54) METHOD AND DEVICE FOR GENERATING
DELAY TEST PATTERN

COPYRIGHT: (C)2002,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To make generable a delay test pattern without changing the structure of an ON pass even when a critical pass subjected to a delay test is a reconverged pass.

SOLUTION: This method includes a step S1 of generating a delay test circuit model D1; a step S8 of tracking the ON pass to detect the reconverged pass, judging the presence of a predetermined reconverged pass in the reconverged pass, advancing to delay test pattern generation steps S2-S7 when it is absent, and advancing to step S9 when it is present; the step S9 of cutting the branch start point of the specified reconverged pass into the ON pass and an OFF pass in the presence of the specified reconverged pass in the step S8; and a non-control value set step S10 of setting a non-control value having no influence on a transition pattern inputted to the ON pass to the OFF pass separated in the step S9 and advancing again to the step S8.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-131399

(P2002-131399A)

(43)公開日 平成14年5月9日(2002.5.9)

(51)Int.Cl.
G 0 1 R 31/3183
31/28
H 0 1 L 27/04
21/822

識別記号

F I
G 0 1 R 31/28
H 0 1 L 27/04

テ-マコ-ト(参考)
Q 2 G 0 3 2
G 5 F 0 3 8
T

審査請求 有 請求項の数9 O.L (全12頁)

(21)出願番号 特願2000-327598(P2000-327598)
(22)出願日 平成12年10月26日(2000.10.26)

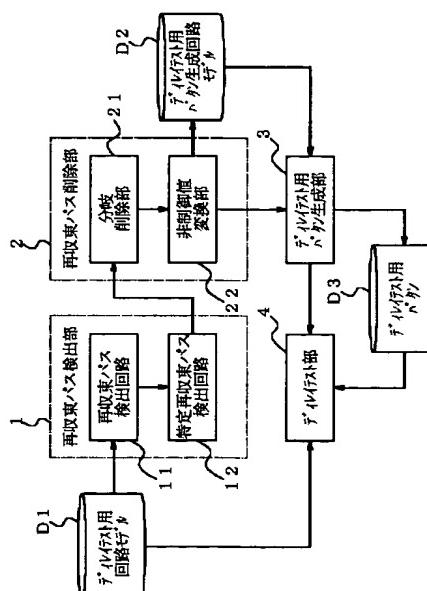
(71)出願人 000232036
エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53
(72)発明者 布田 智嗣
神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内
(74)代理人 100082935
弁理士 京本 直樹 (外2名)
Fターム(参考) 2G032 AA01 AB06 AC10 AG02 AK14
AK16 AL00
5F038 DT06 DT07 DT15 EZ09 EZ20

(54)【発明の名称】 ディレイテスト用パタン生成方法及びその装置

(57)【要約】

【課題】ディレイテスト対象のクリティカルパスが再収束パスである場合も、オンパスの構造を変化させることなくディレイテスト用パタン生成可能とする。

【解決手段】ディレイテスト用回路モデルD 1を生成するステップS 1と、オンパスを追跡し再収束パスを検出し、再収束パス中に予め定義した特定再収束パスの有無を判断し、無い場合はディレイテスト用パタン生成ステップS 2~S 7に進み、有る場合はステップS 9に進むステップS 8と、ステップS 8で特定再収束パスが有る場合に、特定再収束パスの分岐開始点を分断しオンパスとオフパスとに分離するステップS 9と、ステップS 9で分離したオフパスにオンパスに入力する遷移パターンに影響を及ぼさない非制御値を設定し、再度ステップS 8に進む非制御値設定ステップS 10とを有する。



【特許請求の範囲】

【請求項1】 スキャンバス方式を用いたディレイテストに用いるディレイテスト用パターン生成方法において、一旦分岐し再び合流（収束）するような信号経路である再収束バスを含む回路に対して、ディレイテスト用パターン生成時にのみ前記再収束バスのうちの予め定義した特定再収束バスを削除した等価回路を用いて前記ディレイテスト用パターンの生成を行うことにより、前記ディレイテスト対象のクリティカルパスであるオンパスの構造を変化させることなくディレイテスト用パターンの生成を可能とすることを特徴とするディレイテスト用パターン生成方法。

【請求項2】 前記特定再収束バスが、前記オンパスへの入力信号値がある制御値に遷移する時、前記オンパス以外のバスであるオフバスのうちの少なくとも1つのバスの信号値が前記入力信号値と同時にかつ同一制御値へ遷移するようなバスであると定義されることを特徴とする請求項1記載のディレイテスト用パターン生成方法。

【請求項3】 スキャンバス方式を用いたディレイテストに用いるディレイテスト用パターン生成方法において、テスト対象のLSIのテスト容易化設計に基づき、ディレイテスト用テストパターン生成用の回路モデルであるディレイテスト用回路モデルを生成するディレイテスト用回路モデル生成ステップと、

テスト対象のクリティカルパスであるオンパスを追跡し分岐、合流をしているバスである再収束バスを検出し、検出した前記再収束バス中に予め定義した特定再収束バスの有無を判断し、前記特定再収束バスが無い場合はディレイテスト用パターン生成ステップに進み、前記特定再収束バスが有る場合は後述する分岐削除ステップに進む特定再収束バスの有無判断ステップと、

前記特定再収束バスの有無判断ステップで前記特定再収束バスが有る場合に、前記特定再収束バスの分岐開始点を分断し前記オンパスと前記オンパス以外のバスであるオフバスとに分離する分岐削除ステップと、

前記分岐削除ステップで分離した前記オフバスに前記オンパスに入力する遷移パターンに影響を及ぼさない非制御値を設定し、再度前記特定再収束バスの有無判断ステップに進む非制御値設定ステップとを有することを特徴とするディレイテスト用パターン生成方法。

【請求項4】 前記ディレイテスト用パターン生成ステップが、前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルに対し、未処理ディレイ故障があるか否かを判断し、未処理ディレイ故障がある場合は対象とするディレイ故障を1つ選択し次ステップに進み、未処理ディレイ故障が無い時には処理を終了する未処理ディレイ故障の有無判断ステップと、

前記未処理ディレイ故障の有無判断ステップで未処理ディレイ故障がある場合、前記前記ディレイテスト用回路

モデルに対し初期パターンを生成する初期パターン生成ステップと、

前記ディレイテスト用回路モデルに対して遷移パターンを生成する遷移パターン生成ステップと、

前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルにおいて変換したセレクタの2つのデータ入力端子のうち架空の外部入力端子に接続されたデータ入力端子の論理値を、前記セレクタのデータ出力端子に接続されたスキャンフリップフロップに設定するようなスキャンインパターンを生成する架空の外部入力からのスキャンインパターン生成ステップと、

前記初期パターン及び前記遷移パターンにおいて設定された論理値を、スキャンフリップフロップのデータ出力端子に設定するようなスキャンインパターンを生成する初期パターン及び遷移パターンからのスキャンインパターン生成ステップと、

スキャンモードと通常モードとを切り換える外部入力端子の論理値を前記通常モードになるように設定し、クロ

20 ックパルスを1つ発生させるテストパターンである通常パターンを生成し、再度前記特定再収束バスの有無判断ステップに進む通常パターン生成ステップとを有することを特徴とする請求項3記載のディレイテスト用パターン生成方法。

【請求項5】 スキャンバス方式を用いたディレイテストに用いるディレイテスト用パターン生成方法において、テスト対象のLSIのテスト容易化設計に基づき、ディレイテスト用テストパターン生成用の回路モデルであるディレイテスト用回路モデルを生成するディレイテスト用回路モデル生成ステップと、

前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルに対し、未処理ディレイ故障があるか否かを判断し、未処理ディレイ故障がある場合は対象とするディレイ故障を1つ選択し次ステップに進み、未処理ディレイ故障が無い時には処理を終了する第1の未処理ディレイ故障の有無判断ステップと、

前記未処理ディレイ故障の有無判断ステップで未処理ディレイ故障がある場合、前記前記ディレイテスト用回路

40 モデルに対し初期パターンを生成する初期パターン生成ステップと、

前記ディレイテスト用回路モデルに対して遷移パターンを生成する遷移パターン生成ステップと、

前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルにおいて変換したセレクタの2つのデータ入力端子のうち架空の外部入力端子に接続されたデータ入力端子の論理値を、前記セレクタのデータ出力端子に接続されたスキャンフリップフロップに設定するようなスキャンインパターンを生成する架空の外部入力からのスキャンインパターン生成ステッ

と、

前記初期パターン及び前記遷移パターンにおいて設定された論理値を、スキャンフリップフロップのデータ出力端子に設定するようなスキャンインパターンを生成する初期パターン及び遷移パターンからのスキャンインパターン生成ステップと、

スキャンモードと通常モードとを切り換える外部入力端子の論理値を前記通常モードになるように設定し、クロックパルスを1つ発生させるテストパターンである通常パターンを生成する通常パターン生成ステップと、前記通常パターン生成ステップの実施後、前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルに対し、未処理ディレイ故障があるか否かを判断し、未処理ディレイ故障がある場合は対象とするディレイ故障を1つ選択し次ステップに進み、未処理ディレイ故障が無い時には処理を終了する第2の未処理ディレイ故障の有無判断ステップと、

テスト対象のクリティカルパスであるオンパスを追跡し分岐、合流をしているパスである再収束パスを検出し、検出した前記再収束パス中に予め定義した特定再収束パスの有無を判断し、前記特定再収束パスが無い場合は前記第1の未処理ディレイ故障の有無判断ステップに進み、前記特定再収束パスが有る場合は後述する分岐削除ステップに進む特定再収束パスの有無判断ステップと、前記特定再収束パスの有無判断ステップで前記特定再収束パスが有る場合に、前記特定再収束パスの分岐開始点を分断し前記オンパスと前記オンパス以外のパスであるオフパスとに分離する分岐削除ステップと、

前記分岐削除ステップで分離した前記オフパスに前記オンパスに入力する遷移パターンに影響を及ぼさない非制御値を設定し、再度前記初期パターン生成ステップに進む非制御値設定ステップとを有することを特徴とするディレイテスト用パタン生成方法。

【請求項6】 前記ディレイテスト用回路モデル生成ステップが、予め対象LSIに対し実施したテスト容易化設計において、論理値が矛盾するスキャンフリップフロップがある場合にこのスキャンフリップフロップの出力線上に挿入されたDラッチを2入力のセレクタに変換し、

前記セレクタの2つのデータ入力端子のうち一方を前記Dラッチのデータ入力端子が接続されていた前記スキャンフリップフロップに接続し、他方を架空の外部入力端子に接続するとともに、前記セレクタの選択信号入力端子を、架空の選択信号用外部入力端子に接続することを特徴とする請求項3又は5記載のディレイテスト用パタン生成方法。

【請求項7】 前記遷移パタン生成ステップが、前記未処理ディレイ故障の有無判断ステップで選択したディレイ故障が立ち上がり故障であれば前記オンパスの始点に論理値“1”を設定し、立ち下がり故障であれば論理値

“0”を設定することを特徴とする請求項4又は5記載のディレイテスト用パタン生成方法。

【請求項8】 スキャンバス方式を用いたディレイテストに用いるディレイテスト用パタン生成装置において、ディレイテスト用回路モデルを入力しディレイテスト対象となるクリティカルパスであるオンパスを検索し全ての再収束パスを検出するとともに検出した前記再収束パスから予め定義した特定再収束パスを検出する再収束バス検出部と、

- 10 前記特定再収束バスの分岐を削除するとともに、前記オンパス以外のパスであるオフパスに対して所定の非制御値を設定する非制御値変換を行いディレイテスト用パタン生成時にのみ使用するディレイテスト用パタン生成回路モデルを生成する再収束バス削除部と、
前記ディレイテスト用パタン生成回路モデルに基づきディレイテスト用パタンを生成するディレイテスト用パタン生成部と、
前記ディレイテスト用パタンを用い前記ディレイテスト用回路モデルに対してディレイテストを実行するディレイテスト部とを備えることを特徴とするディレイテスト用パタン生成装置。

【請求項9】 前記再収束バス検出部が、前記クリティカルパスを追跡し前記再収束バスを検索する再収束バス検出回路と、
検出した前記再収束バスに対してさらに選別を行い前記特定再収束バスを検出する特定再収束バス検出回路とを備え、

- 20 前記再収束バス削除部が、前記特定再収束バスの分岐開始点を切り離すことにより分岐を削除して前記オンパスを再収束バスではない構造にする分岐削除部と、
前記分岐削除部で切り離した前記特定再収束バスにおいて前記オンパスでは無い方のパスであるオフパスにこのオフパスの信号伝搬先に接続する回路に対応した前記非制御値を設定することにより前記オンパス上の伝搬に影響を与えないことにより前記オンパスを活性化させる非制御値変換部とを備えることを特徴とする請求項8記載のディレイテスト用パタン生成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はディレイテスト用パタン生成方法及びその装置に関し、特に半導体集積回路のテスト容易化設計方法の一つであるスキャンバス方式を用いたディレイテストに用いるディレイテスト用パタン生成方法及びその装置に関する。

【0002】

【従来の技術】 近年、プロセスの微細化、チップの高速化に伴い、製造時に作り込まれる遅延値異常であるディレイ故障に起因した不良が増加しているが、微細化、高速化により一般的なLSIテストでの完全なテストが不可能となっている。しかし、上記不良を除去しなけれ

ば、半導体集積回路（LSI）が動作しなかったり、あるいは誤作動などを起こしてしまう。

【0003】この問題を解決するのがLSI内部にテスト専用回路であるスキャンバス回路を有するスキャンバス方式を用いたディレイテストである。スキャンバス方式を用いたディレイテストは、LSIテストの最小パルス発生間隔に制約されることなくテスト可能となるため安価なLSIテストで高速なテストが行えるという特徴がある。

【0004】このスキャンバス回路は、公知のように、シフトレジスタとして動作するスキャンバスフリップフロップを直列に接続した回路で構成され、スキャンバス入力端子からテスト用のスキャンバスデータを入力し、クロック端子にテスト用のクロックを入力し、そのデータをLSI内部の組み合わせ回路により論理演算させ、その演算結果である所定の出力がスキャンバス出力端子から出力されることを確認することにより、LSIの組み合わせ回路が正常に動作していることを確認するものである。

【0005】ディレイテストとは、テスト対象経路のディレイ値が規定のディレイ値を超過しているのかどうか判定するものである。

【0006】テスト対象の回路の一例を回路図で示す図9を参照すると、2つのフリップフロップ、すなわち、入力側のFF1及び出力側のFF2を有する論理回路があり、FF1のQ出力からFF2のD入力までのディレイ値が10ns以内でなければならないという場合、回路にテストパターンを入力してFF1のQ出力からFF2のD入力までのディレイ値が10nsを超えていているか否かを判断する。10nsを超えていているという結果が出れば、テスト対象経路、すなわち、FF1のQ出力からFF2のD入力までの間の信号経路（パス）に、ディレイ故障が存在すると判定する。

【0007】ディレイテストパターン生成方法とは、このディレイテストを実施するため、テスト対象経路を含む論理回路に入力するテストパターンを論理シミュレーション用のテストパターン自動生成法（Automatic Test-Pattern Generation：以下、ATPG）を用いて自動的に生成する方法である。

【0008】ディレイテストを行う前に、まずオンパス、すなわち、ディレイテストの実施対象とするタイミングがクリチカルな信号経路（以下、クリチカルパス）に入力するためのレベルが変化するパターン、すなわち、遷移パターンを設定する。続いて、オフパス、すなわち、オンパス以外のパスにはオンパスへ入力した遷移パターンに影響を与えない値、つまり非制御値を設定する。すなわち、オンパスの入力論理回路の論理がANDであれば“1”、ORであれば“0”と設定する。

【0009】特開平9-269959号公報に記載の從

来の第1のディレイテスト用パターン生成方法をフローチャートで示す図10を参照して動作について説明すると、まず、テスト対象のLSIのテスト容易化設計に基づき、ディレイテスト用テストパターン生成用の回路モデルであるディレイテスト用回路モデルを生成する（ステップS1）。具体的には、予め対象LSIに対し実施したテスト容易化設計において、論理値が矛盾するスキャンフリップフロップがある場合にこのスキャンフリップフロップの出力線上に挿入されたDラッチを2入力の

10 セレクタに変換し、その2つのデータ入力端子のうち一方をDラッチのデータ入力端子が接続されていたスキャンフリップフロップに接続し、他方を架空の外部入力端子に接続する。また、上記セレクタの選択信号入力端子は、架空の選択信号用外部入力端子に接続されているものとする。

【0010】次に、ステップS1で作成したディレイテスト用回路モデルに対し、まだ処理していないディレイ故障があるのかどうかを判断する（ステップS2）。処理していないディレイ故障がある場合は対象とするディレイ故障を1つ選択し、ステップS3に進む。処理されていないディレイ故障が無い時には処理を終了する。

【0011】次に、ステップS3において、ステップS1で作成したディレイテスト用回路モデルに対し初期パターンを生成する。

【0012】次に、ステップS4において、ステップS1で生成されたディレイテスト用回路モデルに対して遷移パターンを生成する。

【0013】次に、与えられた集積回路に対し、ステップS1で変換したセレクタの2つのデータ入力端子のうち架空の外部入力端子に接続されたデータ入力端子の論理値を、セレクタのデータ出力端子に接続されたスキャンフリップフロップに設定するようなスキャンインパターンを生成する。また、このスキャンインパターンにおいて、挿入したDラッチがデータスルーモードになるように、Dラッチのイネーブル入力端子に接続された外部入力端子の論理値を設定する（ステップS5）。

【0014】次に、ステップS3で生成された初期パターン及びステップS4で生成された遷移パターンにおいて設定された論理値を、各スキャンフリップフロップの40 データ出力端子に設定するようなスキャンインパターンを生成する。また、このスキャンインパターンにおいて、検査容易化設計によって挿入されたDラッチをデータ保持モードにするために、Dラッチのイネーブル入力端子に接続された外部入力端子の論理値を設定する（ステップS6）。

【0015】次に、スキャンモードと通常モードとを切り換える外部入力端子の論理値を通常モードになるように設定し、クロックパルスを1つ発生させるテストパターン（通常パターン）を生成する（ステップS7）。

【0016】しかし、この従来技術には、次のような問

題点がある。

【0017】第1の問題点は、再収束パスを含む回路に對してはディレイテスト用パタンの生成ができないことである。

【0018】その理由は、ディレイテストの対象であるクリティカルパスが再収束パスであった場合、クリティカルパスに対して入力した遷移パタンが本来非制御値を設定すべきパス、すなわち、オフパスにも入力されるため、ATPGツールはパタン生成不可能と判断してしまうためである。

【0019】再収束パスを削除する特開平6-83901号公報記載の從来の第2のディレイテスト用パタン生成装置をブロックで示す図11を参照すると、この從来の第2のディレイテスト用パタン生成装置は、後述の各部(102~107)を制御する制御部101と、タイミング解析部102と、再収束パス検出部103と、再収束パスの分岐段数を調べる分岐段数検出部104と、分岐削除部105と、固定値変換部106と、固定値入力最適化部107とを備える。

【0020】図11及び処理をフローチャートで示す図12を参考して從来の第2のディレイテスト用パタン生成装置の動作である從来の第2のディレイテスト用パタン生成方法について説明すると、まず、タイミング解析部1においてタイミングの解析を行う(ステップS101)。

【0021】次にステップS102において、タイミング解析の結果、入力された論理回路が要求されたタイミングを満たしていれば処理を終了する。要求されたタイミングを満たしていなければクリティカルパスが存在するので再収束パス検出部3に進み、クリティカルパスの信号経路をたどり再収束パスの検出を行う(ステップS103, S104)。

【0022】ステップS104で、再収束パスが検出されれば分岐段数検出部4に進み、再収束源信号から分岐までの論理段数の検出を行う(ステップS105)。

【0023】次に、ステップS106において、最も分岐までの段数が多い再収束パスに対して、検出された分岐までの論理段数が予め指定していた段数以内であれば分岐削除部5に進み、再収束源信号から分岐までの論理を複製して再収束パス上の分岐を削除する(ステップS107)。

【0024】次に固定値変換部6において、2本の再収束パスのうち一方の信号値を、再収束パス上の論理回路の条件に従い固定値に変換する(ステップS108)。

【0025】次に固定値入力最適化部7において、固定値入力最適化部6で変換された固定値を入力とするゲートの簡単化を行う。

【0026】ただし、この第2の從来例で言う再収束パスというのは、一旦分岐した後、再びオンパス上にあるゲートに再収束するパス全てを示している。

【0027】この從来の第2のディレイテスト用パタン生成方法における再収束パス削除法は、単に、タイミングを最適化するための方法である。

【0028】從来技術の第2の問題点は、オンパスの構造を変化させる危険性があるということである。

【0029】その理由は、從来の第2のディレイテスト用パタン生成方法における再収束パス削除法がディレイテスト用パタン生成に関してなんら考慮されていないためである。

10 【0030】

【発明が解決しようとする課題】上述した從来の第1のディレイテスト用パタン生成方法及びその装置は、ディレイテストの対象であるクリティカルパスが再収束パスであった場合、クリティカルパスに対して入力した遷移パタンがオフパスにも入力されるため、ATPGツールはパタン生成不可能と判断してしまうことにより、再収束パスを含む回路に對してはディレイテスト用パタンの生成ができないという欠点があった。

20 【0031】また、再収束パスを削除する從来の第2のディレイテスト用パタン生成方法及びその装置は、その再収束パス削除法がディレイテスト用パタン生成に関してなんら考慮されていないため、オンパスの構造を変化させる危険性があるという欠点があった。

【0032】本発明の目的は、ディレイテストの対象であるクリティカルパスが再収束パスである場合でも、オンパスの構造を変化させることなくディレイテスト用パタンの生成を可能とするディレイテスト用パタン生成方法及びその装置を提供することにある。

【0033】

30 【課題を解決するための手段】請求項1記載の発明のディレイテスト用パタン生成方法は、スキャンパス方式を用いたディレイテストに用いるディレイテスト用パタン生成方法において、一旦分岐し再び合流(収束)するような信号経路である再収束パスを含む回路に對して、ディレイテスト用パタン生成時にのみ前記再収束パスのうちの予め定義した特定再収束パスを削除した等価回路を用いて前記ディレイテスト用パタンの生成を行うことにより、前記ディレイテスト対象のクリティカルパスであるオンパスの構造を変化させることなくディレイテスト用パタンの生成を可能とすることを特徴とするものである。

40 【0034】また、請求項2記載の発明は、請求項1記載のディレイテスト用パタン生成方法において、前記特定再収束パスが、前記オンパスへの入力信号値がある制御値に遷移する時、前記オンパス以外のパスであるオフパスのうちの少なくとも1つのパスの信号値が前記入力信号値と同時にかつ同一制御値へ遷移するようなパスであると定義されることを特徴とするものである。

【0035】請求項3記載の発明のディレイテスト用パタン生成方法は、スキャンパス方式を用いたディレイテ

ストに用いるディレイテスト用パタン生成方法において、テスト対象のLSIのテスト容易化設計に基づき、ディレイテスト用テストパターン生成用の回路モデルであるディレイテスト用回路モデルを生成するディレイテスト用回路モデル生成ステップと、テスト対象のクリティカルパスであるオンパスを追跡し分岐、合流をしているパスである再収束パスを検出し、検出した前記再収束パス中に予め定義した特定再収束パスの有無を判断し、前記特定再収束パスが無い場合はディレイテスト用パタン生成ステップに進み、前記特定再収束パスが有る場合は後述する分岐削除ステップに進む特定再収束パスの有無判断ステップと、前記特定再収束パスの有無判断ステップで前記特定再収束パスが有る場合に、前記特定再収束パスの分岐開始点を分断し前記オンパスと前記オンパス以外のパスであるオフパスとに分離する分岐削除ステップと、前記分岐削除ステップで分離した前記オフパスに前記オンパスに入力する遷移パターンに影響を及ぼさない非制御値を設定し、再度前記特定再収束パスの有無判断ステップに進む非制御値設定ステップとを有することを特徴とするものである。

【0036】また、請求項4記載の発明は、請求項3記載のディレイテスト用パタン生成方法において、前記ディレイテスト用パタン生成ステップが、前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルに対し、未処理ディレイ故障があるか否かを判断し、未処理ディレイ故障がある場合は対象とするディレイ故障を1つ選択し次ステップに進み、未処理ディレイ故障が無い時には処理を終了する未処理ディレイ故障の有無判断ステップと、前記未処理ディレイ故障の有無判断ステップで未処理ディレイ故障がある場合、前記前記ディレイテスト用回路モデルに対し初期パタンを生成する初期パタン生成ステップと、前記ディレイテスト用回路モデルに対して遷移パタンを生成する遷移パタン生成ステップと、前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルにおいて変換したセレクタの2つのデータ入力端子のうち架空の外部入力端子に接続されたデータ入力端子の論理値を、前記セレクタのデータ出力端子に接続されたスキャンフリップフロップに設定するようなスキャンインパターンを生成する架空の外部入力からのスキャンインパターン生成ステップと、前記初期パターン及び前記遷移パターンにおいて設定された論理値を、スキャンフリップフロップのデータ出力端子に設定するようなスキャンインパターンを生成する初期パターン及び遷移パターンからのスキャンインパターン生成ステップと、スキャンモードと通常モードとを切り換える外部入力端子の論理値を前記通常モードになるように設定し、クロックパルスを1つ発生させるテストパターンである通常パターンを生成する通常パターン生成ステップと、前記通常パターン生成ステップの実施後、前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルに対し、未処理ディレイ故障があるか否かを判断し、未処理ディレイ故障がある場合は対象とするディレイ故障を1つ選択し次ステップに進み、

10 とを特徴とするものである。
 【0037】請求項5記載の発明のディレイテスト用パタン生成方法は、スキャンパス方式を用いたディレイテストに用いるディレイテスト用パタン生成方法において、テスト対象のLSIのテスト容易化設計に基づき、ディレイテスト用テストパターン生成用の回路モデルであるディレイテスト用回路モデルを生成するディレイテスト用回路モデル生成ステップと、前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルに対し、未処理ディレイ故障があるか否かを判断し、未処理ディレイ故障がある場合は対象とするディレイ故障を1つ選択し次ステップに進み、未処理ディレイ故障が無い時には処理を終了する第1の未処理ディレイ故障の有無判断ステップと、前記未処理ディレイ故障の有無判断ステップで未処理ディレイ故障がある場合、前記前記ディレイテスト用回路モデルに対し初期パタンを生成する初期パタン生成ステップと、前記ディレイテスト用回路モデルに対して遷移パタンを生成する遷移パタン生成ステップと、前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルにおいて変換したセレクタの2つのデータ入力端子のうち架空の外部入力端子に接続されたデータ入力端子の論理値を、前記セレクタのデータ出力端子に接続されたスキャンフリップフロップに設定するようなスキャンインパターンを生成する架空の外部入力からのスキャンインパターン生成ステップと、前記初期パターン及び前記遷移パターンにおいて設定された論理値を、スキャンフリップフロップのデータ出力端子に設定するようなスキャンインパターンを生成する初期パターン及び遷移パターンからのスキャンインパターン生成ステップと、スキャンモードと通常モードとを切り換える外部入力端子の論理値を前記通常モードになるように設定し、クロックパルスを1つ発生させるテストパターンである通常パターンを生成する通常パターン生成ステップと、前記通常パターン生成ステップの実施後、前記ディレイテスト用回路モデル生成ステップで作成した前記ディレイテスト用回路モデルに対し、未処理ディレイ故障があるか否かを判断し、未処理ディレイ故障がある場合は対象とするディレイ故障を1つ選択し次ステップに進み、
 20 未処理ディレイ故障が無い時には処理を終了する第2の未処理ディレイ故障の有無判断ステップと、テスト対象のクリティカルパスであるオンパスを追跡し分岐、合流をしているパスである再収束パスを検出し、検出した前記再収束パス中に予め定義した特定再収束パスの有無を判断し、前記特定再収束パスが無い場合は前記第1の未処理ディレイ故障の有無判断ステップに進み、前記特定再収束パスが有る場合は後述する分岐削除ステップに進む特定再収束パスの有無判断ステップと、前記特定再収束パスの有無判断ステップで前記特定再収束パスが有る場合に、前記特定再収束パスの分岐開始点を分断し前記
 30
 40
 50

オンパスと前記オンパス以外のパスであるオフパスとに分離する分岐削除ステップと、前記分岐削除ステップで分離した前記オフパスに前記オンパスに入力する遷移パターンに影響を及ぼさない非制御値を設定し、再度前記初期パターン生成ステップに進む非制御値設定ステップとを有することを特徴とするものである。

【0038】また、請求項6記載の発明は、請求項3又は5記載のディレイテスト用パタン生成方法において、前記ディレイテスト用回路モデル生成ステップが、予め対象LSIに対し実施したテスト容易化設計において、論理値が矛盾するスキャンフリップフロップがある場合にこのスキャンフリップフロップの出力線上に挿入されたDラッチを2入力のセレクタに変換し、前記セレクタの2つのデータ入力端子のうち一方を前記Dラッチのデータ入力端子が接続されていた前記スキャンフリップフロップに接続し、他方を架空の外部入力端子に接続するとともに、前記セレクタの選択信号入力端子を、架空の選択信号用外部入力端子に接続することを特徴とするものである。

【0039】また、請求項7記載の発明は、請求項3又は5記載のディレイテスト用パタン生成方法において、前記遷移パタン生成ステップが、前記未処理ディレイ故障の有無判断ステップで選択したディレイ故障が立ち上がり故障であれば前記オンパスの始点に論理値“1”を設定し、立ち下り故障であれば論理値“0”を設定することを特徴とするものである。

【0040】請求項8記載の発明のディレイテスト用パタン生成装置は、スキャンパス方式を用いたディレイテストに用いるディレイテスト用パタン生成装置において、ディレイテスト用回路モデルを入力しディレイテスト対象となるクリティカルパスであるオンパスを検索し全ての再収束パスを検出するとともに検出した前記再収束パスから予め定義した特定再収束パスを検出する再収束パス検出部と、前記特定再収束パスの分岐を削除するとともに、前記オンパス以外のパスであるオフパスに対して所定の非制御値を設定する非制御値変換を行いディレイテスト用パタン生成時にのみ使用するディレイテスト用パタン生成回路モデルを生成する再収束パス削除部と、前記ディレイテスト用パタン生成回路モデルに基づきディレイテスト用パタンを生成するディレイテスト用パタン生成部と、前記ディレイテスト用パタンを用い前記ディレイテスト用回路モデルに対してディレイテストを実行するディレイテスト部とを備えて構成されている。

【0041】また、請求項9記載の発明は、請求項8記載のディレイテスト用パタン生成装置において、前記再収束パス検出部が、前記クリティカルパスを追跡し前記再収束パスを検索する再収束パス検出回路と、検出した前記再収束パスに対してさらに選別を行い前記特定再収束パスを検出する特定再収束パス検出回路とを備え、前

記再収束パス削除部が、前記特定再収束パスの分岐開始点を切り離すことにより分岐を削除して前記オンパスを再収束パスではない構造にする分岐削除部と、前記分岐削除部で切り離した前記特定再収束パスにおいて前記オンパスでは無い方のパスであるオフパスにこのオフパスの信号伝搬先に接続する回路に対応した前記非制御値を設定することにより前記オンパス上の伝搬に影響を与えないことにより前記オンパスを活性化させる非制御値変換部とを備えて構成されている。

10 【0042】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0043】本実施の形態のディレイテスト用パタン生成方法は、スキャンパス方式を用いたディレイテストに用いるディレイテスト用パタン生成方法において、一旦分岐し再び合流（収束）するような信号経路である再収束パスを含む回路に対して、ディレイテスト用パタン生成時にのみ上記再収束パスのうちの予め定義した特定再収束パスを削除した等価回路を用いてディレイテスト用パタンの生成を行うことにより、ディレイテスト対象のタイミングがクリティカルなパス（以下、クリティカルパス）であるオンパスの構造を変化させることなくディレイテスト用パタンの生成を可能とすることを特徴とするものである。

20 【0044】ここで、本実施の形態において適用可能な上記特定再収束パスが、オンパスへの入力信号値がある制御値に遷移する時、上記オンパス以外のパスであるオフパスのうちの少なくとも1つのパスの信号値が上記入力信号値と同時にかつ同一制御値へ遷移するようなパスであると定義する。

【0045】本実施の形態のディレイテスト用パタン生成装置は、再収束パス検出部の再収束パス検出回路が、オンパスを検索して再収束パスの有無を調べ、次に、特定再収束パス検出回路が、再収束パス検出回路で検出した再収束パスに対して、さらに上記で定義した特定再収束パスに当たる特定再収束パスのみを検出する。

30 【0046】次に、再収束パス削除部の分岐削除部は、検出した特定再収束パスに対して分岐点の始点箇所を削除し切り離しを行い、非制御値変換部は、オフパスに非制御値を設定することにより、ディレイテスト用パタン生成回路モデルを生成する。

40 【0047】こうして作成したディレイテスト用パタン生成回路モデルを用いて公知の論理シミュレーション用のテストパタン自動生成法（Automatic Test-Pattern Generation：以下、ATPG）を行い、ディレイテスト用パタンを生成する。なお、上記ディレイテスト用パタン生成回路モデルは上記ディレイテスト用パタン生成のみに使用し、ディレイテスト実行時におけるディレイテストの対象回路モデルとしては、変換前のディレイテスト用回路モデルを

用いる。

【0048】次に、本発明の第1の実施の形態をブロックで示す図1を参照すると、この図に示す本実施の形態のディレイテスト用パターン生成装置は、ディレイテスト用回路モデルD1を入力しディレイテスト対象となるクリティカルパスであるオンパスを検索し全ての再収束パスを検出するとともに検出した再収束パスから上述のように定義した特定再収束パスを検出する再収束パス検出部1と、特定再収束パスの分岐を削除するとともに、オフパスに対して後述の非制御値を設定する非制御値変換を行いディレイテスト用パターン生成時にのみ使用するディレイテスト用パターン生成回路モデルD2を生成する再収束パス削除部2と、ディレイテスト用パターン生成回路モデルD2に基づきディレイテスト用パターンD3を生成するディレイテスト用パターン生成部3と、ディレイテスト用回路モデルD1及びディレイテスト用パターンD3を入力し、ディレイテスト用パターンD3を用いディレイテスト用回路モデルD1に対してディレイテストを実行するディレイテスト部4とを備える。

【0049】再収束パス検出部1は、クリティカルパスを追跡し再収束パスを検索する再収束パス検出回路11と、検出した再収束パスに対してさらに選別を行い特定再収束パスを検出する特定再収束パス検出回路12とを備える。

【0050】再収束パス削除部2は、特定再収束パスの分岐開始点を切り離すことにより分岐を削除してオンパスを再収束パスではない構造にする分岐削除部21と、分岐削除部21で切り離した特定再収束パスにおいてオンパスでは無い方のパス、すなわちオフパスにこのオフパスの信号伝搬先に接続する回路に対応した非制御値を設定することによりオンパス上の伝搬に影響を与えない、つまりオンパスを活性化させる非制御値変換部22とを備える。

【0051】次に、図1及び処理をフローチャートで示す図2を参照して本実施の形態のディレイテスト用パターン生成装置の動作である本実施の形態のディレイテスト用パターン生成方法について説明すると、まず、テスト対象のLSIのテスト容易化設計に基づき、ディレイテスト用テストパターン生成用の回路モデルであるディレイテスト用回路モデルD1を生成する(ステップS1)。具体的には、予め対象LSIに対し実施したテスト容易化設計において、論理値が矛盾するスキャンフリップフロップがある場合にこのスキャンフリップフロップの出力線上に挿入されたDラッチを2入力のセレクタに変換し、その2つのデータ入力端子のうち一方をDラッチのデータ入力端子が接続されていたスキャンフリップフロップに接続し、他方を架空の外部入力端子に接続する。また、上記セレクタの選択信号入力端子は、架空の選択信号用外部入力端子に接続されているものとする。

【0052】次に、再収束パス検出部1の再収束パス検

10

20

30

40

50

出回路11で検出した再収束パスのうちから、特定再収束パス検出回路12は特定再収束パスの有無を調査する(ステップS8)。具体的に説明すると、まずテスト対象のクリティカルパス、すなわち、オンパスを追跡し分岐、合流をしているパス、つまり再収束パスを検出する。さらに検出した再収束パス中より上述した特定再収束パスのみを本実施の形態の適用可能と判断し特定再収束パスの有無を出力する。特定再収束パスが無い場合は、ディレイテスト用パターン生成部3における、第1の従来技術と共にディレイテスト用パターン生成に進む(ステップS2～S7)。

【0053】図2、クリティカルパス及びクリティカルパス以外のパスとが入力するAND回路を含む回路の初期パターンと遷移パターンをそれぞれ模式的に示す図3(A)、(B)、特定再収束パスの無い回路例とその遷移パターン遷移図をそれぞれ示す図4(A)、(B)、特定再収束パスの有る回路例とその遷移パターン遷移図をそれぞれ示す図5(A)、(B)、特定再収束パスの削除前と削除後のAND回路をそれぞれ示す図6(A)、(B)及び特定再収束パスの削除前と削除後のOR回路をそれぞれ示す図7(A)、(B)を参照してディレイテスト用パターン生成ステップS2～S7について詳細に説明すると、ステップS8で、特定再収束パスが無い場合は、ステップS2に進み、ステップS1で作成したディレイテスト用回路モデルD1に対し、まだ処理していないディレイ故障があるのかどうかを従来技術と同様な方法で判断する。処理していないディレイ故障がある場合は対象とするディレイ故障を1つ選択しステップS3に進む。処理されていないディレイ故障が無い時には処理を終了する。ステップS3において、ステップS1で作成したディレイテスト用回路モデルD1に対し初期パターンを生成する。

【0054】具体的に述べると、選択したディレイ故障が立ち上がり故障であればオンパスの始点に論理値“0”を設定し、立ち下がり故障であれば論理値“1”を設定する(図3(A)のパスA-1参照)。

【0055】なお、図3、図4、図5、図6及び図7では、クリティカルパスを太線で、クリティカルパス以外のパスを細線で表し、四角でかこまれた素子は入力と出力が同値の組合せ回路を表す。

【0056】ステップS4において、ステップS1で生成したディレイテスト用回路モデルD1に対して遷移パターンを生成する。

【0057】具体的に述べると、選択したディレイ故障が立ち上がり故障であればオンパスの始点に論理値“1”を設定し、立ち下がり故障であれば論理値“0”を設定する(図3(B)のパスA-1参照)。

【0058】なお、ステップS3及びS4において、オフパスには、この信号経路を活性化させるような論理値、つまり活性化対象の信号経路(パス)の始点に入力

した値の遷移状況が終点まで伝搬されることを観測できるような値を設定する。具体的には、一旦分岐したバスが再び合流するゲートがANDである場合はANDの非制御値である“1”を設定し、ORである場合はORの非制御値である“0”を設定することにより活性化対象バスの伝搬状況を認識することが可能となり故障の確認も可能となる(図4(A)及び図4(B)参照)。

【0059】次に、与えられた集積回路に対し、ステップS1で変換したセレクタの2つのデータ入力端子のうち架空の外部入力端子に接続されたデータ入力端子の論理値を、セレクタのデータ出力端子に接続されたスキャンフリップフロップに設定するようなスキャンインパターンを生成する。また、このスキャンインパターンにおいて、挿入したDラッチがデータスルーモードになるように、Dラッチのイネーブル入力端子に接続された外部入力端子の論理値を設定する(ステップS5)。

【0060】次に、ステップS3で生成した初期パターン及びステップS4で生成した遷移パターンにおいて設定された論理値を、各スキャンフリップフロップのデータ出力端子に設定するようなスキャンインパターンを生成する。また、このスキャンインパターンにおいて、検査容易化設計によって挿入されたDラッチをデータ保持モードにするために、Dラッチのイネーブル入力端子に接続された外部入力端子の論理値を設定する(ステップS6)。

【0061】次に、スキャンモードと通常モードとを切り換える外部入力端子の論理値を通常モードになるように設定し、クロックパルスを1つ発生させるテストパターン(通常パターン)を生成する(ステップS7)。

【0062】ステップS8で、特定再収束バス有りと判断された場合、オンバスに入力した遷移パターンが強制的にオフバスにも設定されてしまうために非制御値に設定できない(図5(A)及び図5(B)参照)。オンバスに入力した遷移パターンがオフバスに設定されるのを防ぐために、再収束バスの分岐削除部21にて特定再収束バスの分岐開始点を分断しオンバスとオフバスとに分ける(ステップS9)。

【0063】その後、非制御値変換部22は、オフバスに非制御値を設定する(ステップS10)。これはオンバスに入力する遷移パターンに対して影響を及ぼさない値である非制御値を設定する。バスがつながる回路がANDであれば“1”、ORであれば“0”という値を設定する。

【0064】こうして作成されたディレイテスト用パターン生成回路モデルD2を用いてディレイテスト用パターン生成部3は、ディレイテスト用パターンD3の生成を行う。

【0065】最後にディレイテスト部4は、ディレイテストの対象回路をディレイテスト用回路モデルD1に戻し、ディレイテスト部4は、ディレイテスト用パターン生

成部3で生成したディレイテスト用パターンD3を用いてディレイテストを行う。

【0066】次に、本発明の第2の実施の形態を図2と共通の構成要素には共通の参照文字／数字を付して同様にフローチャートで示す図8を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、特定再収束バスの検出をディレイテスト用パターン生成後に実行することである。すなわち、第1の実施の形態でステップS1の後に実行していた特定再収束バスの検出(ステップS8)をパターン生成後であるステップS7の後に実行する。

【0067】まず、ステップS1～S7を実行しテストパターンを生成する。その後、ステップS11で、再び未故障箇所の有無を調べ、無ければそのまま終了となる。

【0068】未故障箇所が有れば、特定再収束バスの有無をチェックし、無ければ第1の実施の形態と同様にステップS2に進む。有ればステップS9で、特定再収束バスの分岐を切断して、ステップS10で、非制御値を設定した後にステップS3に戻る。ここで、ステップS2の未故障箇所有無チェックに戻らずステップS3のディレイテスト用パターン生成開始点に戻るのは、ディレイテスト用パターン生成後にステップS10にて未故障箇所のチェックを行っているためである。

【0069】以上本発明の実施の形態を述べたが、本発明は上記実施の形態に限られることなく種々の変形が可能である。例えば、実施の形態ではタイミングクリティカルバス上に再収束バスが1箇所の場合について説明したが、複数存在する場合にも適用可能である。

【0070】

【発明の効果】以上説明したように、本発明のディレイテスト用パターン生成方法及びその装置は、一旦分岐し再び合流(収束)するような信号経路である再収束バスを含む回路に対して、ディレイテスト用パターン生成時にのみ上記再収束バスのうちの予め定義した特定再収束バスを削除した等価回路を用いてディレイテスト用パターンの生成を行うことにより、特定再収束バスを削除しオフバスに非制御値を設定したATPGでのパターン生成が可能となるため、特定再収束バスに対してのディレイテスト用テストパターン生成が可能となるという効果がある。

【0071】また、オンバス、オフバスの関係を十分考慮しオフバスにのみ非制御値を設定するという方法をとるため、オンバスの構造を変化させず再収束バスの削除が可能となるという効果がある。

【図面の簡単な説明】

【図1】本発明のディレイテスト用パターン生成装置の第1の実施の形態を示すブロック図である。

【図2】本実施の形態のディレイテスト用パターン生成装置における動作である本実施の形態のディレイテスト用パターン生成方法の一例を示すフローチャートである。

【図3】クリティカルバス及びクリティカルバス以外の

パスとが入力するAND回路を含む回路の初期パターンと遷移パターンをそれぞれ模式的に示す説明図である。

【図4】特定再収束バスの無い回路例とその遷移パターン遷移図をそれぞれ模式的に示す説明図である。

【図5】特定再収束バスの有る回路例とその遷移パターン遷移図をそれぞれ模式的に示す説明図である。

【図6】特定再収束バスの削除前と削除後のAND回路をそれぞれ模式的に示す説明図である。

【図7】特定再収束バスの削除前と削除後のOR回路をそれぞれ模式的に示す説明図である。

【図8】本発明のディレイテスト用パタン生成装置の第2の実施の形態を示すフローチャートである。

【図9】ディレイテスト対象の回路の一例を示す回路図である。

【図10】従来の第1のディレイテスト用パタン生成装置の一例を示すブロック図である。

【図11】従来の第1のディレイテスト用パタン生成装

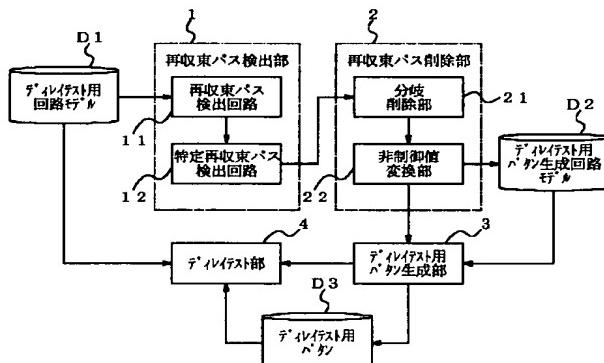
置における動作である従来の第1のディレイテスト用パタン生成方法の一例を示すフローチャートである。

【図12】従来の第2のディレイテスト用パタン生成方法の一例を示すフローチャートである。

【符号の説明】

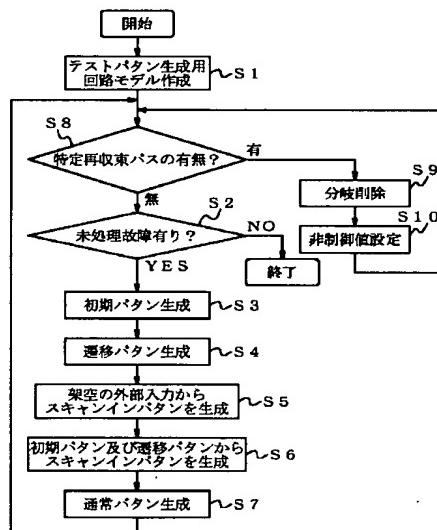
- | | |
|----|--------------------|
| 1 | 再収束バス検出部 |
| 2 | 再収束バス削除部 |
| 3 | ディレイテスト用パタン生成部 |
| 4 | ディレイテスト部 |
| 10 | 再収束バス検出回路 |
| 11 | 特定再収束バス検出回路 |
| 21 | 分岐削除部 |
| 22 | 非制御値変換部 |
| D1 | ディレイテスト用回路モデル |
| D2 | ディレイテスト用パタン生成回路モデル |
| D3 | ディレイテスト用パタン |

【図1】

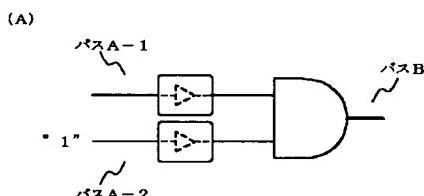


【図4】

【図2】

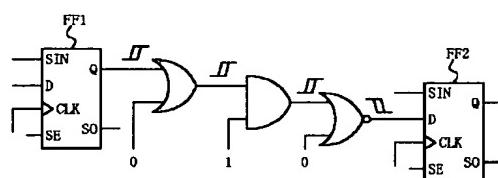


【図9】

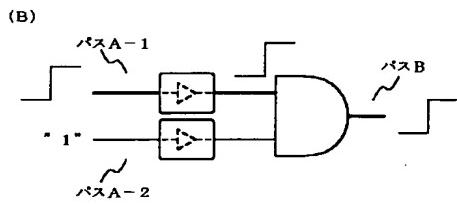
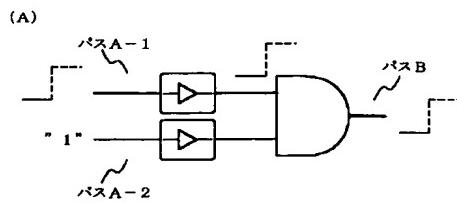


(B)

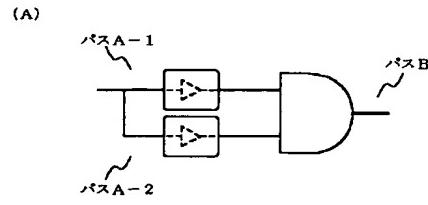
A-1	A-2	B
0	1	0
1	1	1



【図3】



【図5】

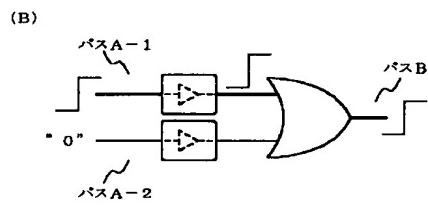
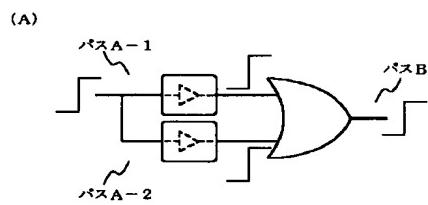
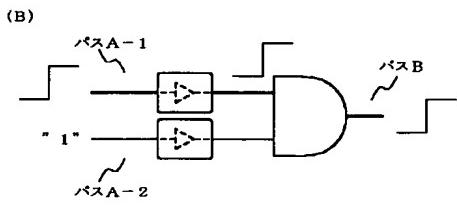
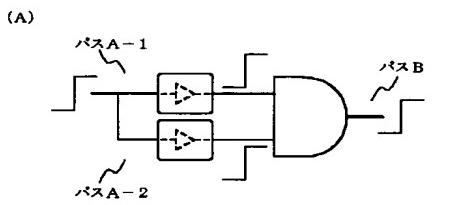


(B)

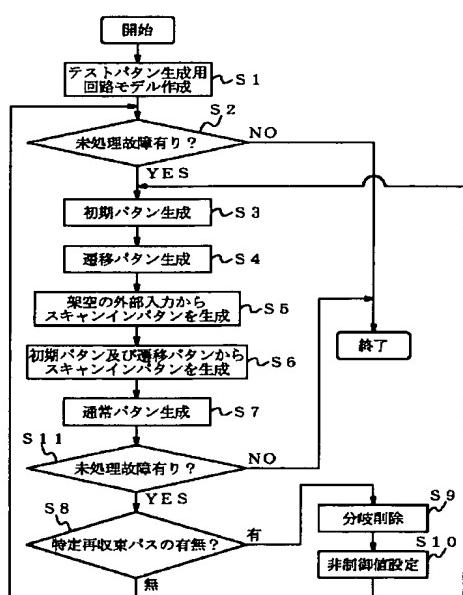
A-1	A-2	B
0	0	0
↓	↓	↓
1	1	1

【図7】

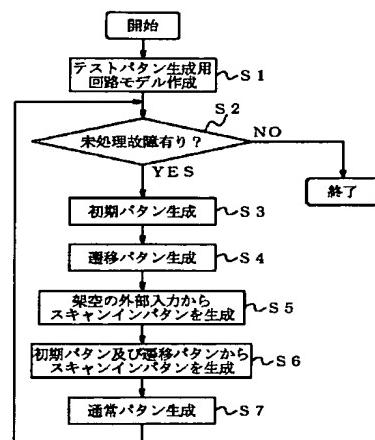
【図6】



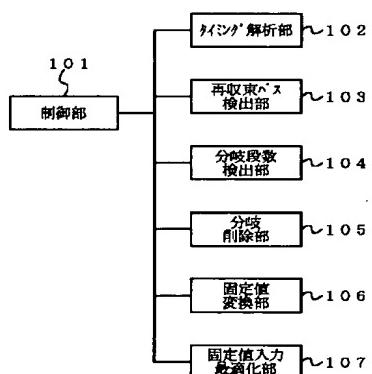
【図8】



【図10】



【図11】



【図12】

